

**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - ГАБРОВО  
ФАКУЛТЕТ „ЕЛЕКТРОТЕХНИКА И ЕЛЕКТРОНИКА”**

Приета с решение на ФС  
Протокол № 6 от 28.09.2010 г.

Утвърдил  
Декан:  
/доц. д-р А. Александров/

**У Ч Е Б Н А П Р О Г Р А М А**

По дисциплината: **ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ С ПРОГРАМИРУЕМА ЛОГИКА**

Включена в учебния план за специалността: **КОМПЮТЪРНИ СИСТЕМИ И ТЕХНОЛОГИИ**

Образователно-квалификационна степен: **БАКАЛАВЪР**

Област на висше образование: **ТЕХНИЧЕСКИ НАУКИ**

Професионално направление: **КОМУНИКАЦИОННА И КОМПЮТЪРНА ТЕХНИКА /шифър 5.3/**

Професионална квалификация: **КОМПЮТЪРЕН ИНЖЕНЕР**

Форма на обучение: **РЕДОВНА И ЗАДОЧНА**

Катедра: **КОМПЮТЪРНИ СИСТЕМИ И ТЕХНОЛОГИИ**

**ГАБРОВО**

**2010 г.**

## I. ИЗВАДКИ ОТ УЧЕБНИЯ ПЛАН

| ВИД НА ЗАНЯТИЯТА |                        | СЕМЕСТЪР    |      | ХОРАРИУМ  |           |
|------------------|------------------------|-------------|------|-----------|-----------|
|                  |                        | Р           | З    | Р         | З         |
| 1.               | Лекции                 | VIII        | VIII | 30        | 15        |
| 2.               | Семинарни упражнения   |             |      | -         | -         |
| 3.               | Лабораторни упражнения | VIII        | VIII | 30        | 15        |
| 4.               | Курсов проект          |             |      | -         | -         |
| 5.               | Изпит                  | VIII        | VIII | -         | -         |
|                  |                        | <b>Общо</b> |      | <b>60</b> | <b>30</b> |

## II. АНОТАЦИЯ

Курсът по “Проектиране на цифрови системи с програмируема логика” има за цел да запознае студентите с методите и средствата за проектиране на цифрови схеми и системи, посредством съвременни програмируеми логически интегрални схеми. Изучава се езикът за хардуерно описание VHDL, като се проектират различни видове типови комбинационни, последователностни схеми и памети, участващи в реализацията на по-големи цифрови системи. В обучението е включено и създаване на тестови установки за симулация и тестване на VHDL проектите. Последния етап от обучението е свързан с проектиране на цифрови системи базирани на крайни автомати. Обучението завършва със самостоятелна работа на студентите, които имат за задача да проектират неголеми цифрови схеми с възможност за вграждане в по-големи системи.

Входни връзки: Анализ и синтез на логически схеми, Цифрова схемотехника, Микропроцесорна техника, Организация на компютъра, Автоматизация на инженерния труд, Компютърни архитектури.

Изходни връзки: Дипломното проектиране

### III. СЪДЪРЖАНИЕ НА УЧЕБНАТА ПРОГРАМА

| №                                | Теми на лекциите и упражненията  | Вид на обучението |           |
|----------------------------------|--|-------------------|-----------|
|                                  |  | РО                | ЗО        |
| 1                                | 2  | 3                 | 4         |
| <b>А. Лекции</b>                 |  |                   |           |
|                                  | <b>МОДУЛ I : ВЪВЕДЕНИЕ В ПРОГРАМИРУЕМАТА ЛОГИКА.</b><br>Лекции - 10(5) часа, Лаб. упражнения - 5(2,5) часа, упр.1.1÷1.4      | <b>10</b>         | <b>5</b>  |
| 1.1                              | Програмируеми логически устройства. Видове.  | 2                 | 1         |
| 1.2                              | Архитектура на програмируеми логически устройства.   | 2                 | 1         |
| 1.3                              | Методика за проектиране с програмируеми логически устройства.  | 2                 | 1         |
| 1.4                              | Езици за спецификация.. Език за хардуерно описание VHDL.   | 2                 | 1         |
| 1.5                              | Среди за автоматизирано проектиране.   | 2                 | 1         |
|                                  | <b>МОДУЛ II : ПРОЕКТИРАНЕ НА ЦИФРОВИ И ЛОГИЧЕСКИ СХЕМИ.</b><br>Лекции - 10(5) часа, Лаб. упражнения -14(6) часа, упр.2.1÷2.5 | <b>10</b>         | <b>5</b>  |
| 2.1                              | Технологии, методи и средства за проектиране с програмируема логика.   | 2                 | 1         |
| 2.2                              | Нива на представяне на цифровите схеми.  | 2                 | 1         |
| 2.3                              | Етапи при проектиране на цифрови схеми.  | 2                 | 1         |
| 2.4                              | Проектиране на комбинционни схеми.   | 2                 | 1         |
| 2.5                              | Проектиране на последователностни схеми.   | 2                 | 1         |
|                                  | <b>МОДУЛ III : ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ</b><br>Лекции - 10(5) часа, Лаб. упражнения - 20(10) часа, упр.3.1÷3.5         | <b>10</b>         | <b>5</b>  |
| 3.1                              | Йерархично проектиране на цифрови системи.   | 2                 | 1,5       |
| 3.2                              | Проектиране на различни видове памети.   | 3                 | 1         |
| 3.3                              | Проектиране на крайни автомати.  | 3                 | 1         |
| 3.4                              | Проектиране на цифрови системи базирани на крайни автомати.  | 3                 | 1         |
|                                  | <b>Лекции</b> <span style="float: right;"><b>Общо:</b></span>  | <b>30</b>         | <b>15</b> |
| <b>Б. Лабораторни упражнения</b> |  |                   |           |
| 1                                | 2  | 3                 | 4         |
| 1.1                              | Развойна среда за автоматизирано проектиране на цифрови системи. Структура и функционални възможности.                       | 3                 | 1,5       |
| 1.2                              | Програми за логически и физически синтез на схеми (хардуер) от езиково описание.   | 2                 | 1         |
| 1.3                              | Развойни платки за проектиране на цифрови системи с CPLD и FPGA устройства.  | 3                 | 1,5       |
| 1.4                              | Реализация на примерен проект в развойните платки.   | 2                 | 1         |
| 2.1                              | Програмиране, тестване и реализация на булеви функции.   | 2                 | 1         |
| 2.2                              | Програмиране, тестване и реализация на схеми за аритметични и логически операции.  | 2                 | 1         |
| 2.3                              | Програмиране, тестване и реализация на типови комбинационни схеми.   | 2                 | 1         |
| 2.4                              | Програмиране, тестване и реализация на мултиплексори и буфери с три състояния.   | 2                 | 1         |
| 2.5                              | Програмиране, тестване и реализация на броячни и регистрови схеми.   | 2                 | 1         |
| 3.1                              | Програмиране, тестване и реализация на FIFO памети.  | 2                 | 1         |
| 3.2                              | Програмиране, тестване и реализация на ROM и RAM памети.   | 2                 | 1         |
| 3.3                              | Програмиране, тестване и реализация на йерархичен проект на цифрова система.   | 2                 | 1         |
| 3.4                              | Програмиране, тестване и реализация на крайни автомати.  | 2                 | 1         |

|     |   |              |              |
|-----|---|--------------|--------------|
| 3.5 | Програмиране, тестване и реализация на цифрова система базирана на карйни автомати. | 2            | 1            |
|     | <b>Лабораторни упражнения</b>   | <b>Общо:</b> | <b>30 15</b> |

#### IV. ФОРМИ НА КОНТРОЛ НА ЗНАНИЯТА

##### 1. Текущ контрол

Текущите оценки през семестъра са свързани с лабораторните упражнения и самостоятелната работа на студентите.

Лабораторните упражнения са групирани в цикли. Всяко лабораторно занятие завършва с изготвяне на протокол. При завършване на даден цикъл се провежда защита на протоколите и се формира оценка на знанията и уменията по съответния материал.

Самостоятелната работа може да бъде индивидуална или групова. Тя позволява на студентите да разработват теми или да решават задачи в областта на управлението на ресурсите на компютърните системи. Може да е свързан с всяка от темите на лекциите или да обхваща няколко. Част от темите са свързани с алгоритмизация и програмна реализация на задачи за междупроцесни взаимодействия.

Самостоятелната работа на студентите се оценява по шестобалната система.

Резултатите от текущия контрол се използват при формиране на оценката от изпита.

##### 2. Семестриален изпит

Семестриалният изпит е писмен. По време на изпита студентите попълват тест и решават задачи.

Тестът включва въпроси от материалите разглеждани на лекции и лабораторни упражнения. Той изисква познаване на верен отговор, отговор или допълване на отговора. За всеки верен отговор се дават точки. Регламентиран е броя точки за всяка оценка по шестобалната система.

Задачите се оценяват също по точки с предварително уточнен регламент.

Окончателната оценка се формира на база оценките от теста, задачите и текущия контрол.

Оценките от текущия контрол се формират чрез оценка от изпълнението на заданията по време на лабораторните упражнения, планиран текущ контрол и самостоятелна работа по тема (задача) от дисциплината.

Предвижда се беседване със студента при окончателно оформяне на оценката.

Оформянето на крайната оценка е съгласно приетата методика от катедра КСТ.

#### ЛИТЕРАТУРА

##### A. Основна

1. Амстронг Д., Моделирование цифровых систем на языке VHDL, М., 1992.
2. Гиздарски Е. Проектиране с програмируема логика, Русе, 1998.
3. Маноилов П., Проектиране на цифрови устройства върху свръхголеми интегрални схеми с помощта на VHDL, С., 2006.
4. Начева-Филипова Кр., Христов М., Използване на VHDL за синтез на електронен хардуер, С., 2004.
5. Таков Т., С. Цанова, Свръхголеми интегрални схеми, С., 2006.
6. Христов М., Р. Радонов, Б. Дончев, Системи за проектиране в микроелектрониката, С., 2004.
7. Ashenden P., The Designer's Guide to VHDL 3rd ed, Burlington, 2008.
8. Chu P., FPGA Prototyping by VHDL Examples, Hoboken, 2008.
9. Wayne W., Computers as Components: Principles of Embedded Computing Systems Design 2nd ed, Burlington, 2008.

## **Б. Допълнителна**

1. Ashenden P., Digital Design: An Embedded System Approach using VHDL, Burlington, 2008.
2. Chu P., RTL Hardware Design using VHDL: Coding for Efficiency, Portability and Scalability, Cleveland, 2006.
3. Hodges D., H. Jackson, R. Saleh, Analysis and Design of Digital Integrated Circuits in Deep Submicron Technology, 3rd ed, N.Y., 2004.
4. Hwang E., Digital Logic and Microprocessor Design with VHDL, Riverside, 2006.
5. Zainalabedin Nawabi, VHDL: Analisis and Modeling of Digital Systems, McGraw-Hill, 1993.
6. Wayne Wolf, Modern VLSI Design, Prentice Hall, 1994.

Съставили:

/доц. д-р инж. В. Кукенска /

/ас. инж. П.Минев/

Програмата е приета от КС на катедра „КСТ” с Протокол № 1 от 17.09.2010 г.

Ръководител катедра:

/доц. д-р Р. Райчев/

**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – ГАБРОВО  
ФАКУЛТЕТ „ЕЛЕКТРОТЕХНИКА И ЕЛЕКТРОНИКА”**

Приета с решение на ФС  
Протокол № 6 от 28.09.2010 г.

Утвърдил  
Декан:  
/доц. д-р А. Александров/

**ХАРАКТЕРИСТИКА  
НА ДИСЦИПЛИНАТА „ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ  
С ПРОГРАМИРУЕМА ЛОГИКА”  
ЗА СПЕЦИАЛНОСТ „КОМПЮТЪРНИ СИСТЕМИ И ТЕХНОЛОГИИ”  
РЕДОВНО ОБУЧЕНИЕ**

Обучаваща катедра: Компютърни системи и технологии

|  |  |  |                  |
|--|--|--|------------------|
| Образователно-квалиф. степен:<br><b>Бакалавър</b>  | Вид на дисциплината:<br><b>Избираема</b> | № по учебен план<br><b>41.2</b>                                    | Година: <b>4</b> |
| Семестър: <b>8</b>   | Брой кредити: <b>5</b>                   | Водещ преподавател:<br><b>доц. д-р Валентина Стоянова Кукенска</b> |                  |
| <b>Цел на курса:</b> Запознаване на студентите с технологията, методите и средствата за проектиране на цифрови схеми и системи, посредством програмируеми логически устройства.  |  |  |                  |
| <b>Необходими условия:</b> Лекционна зала, лабораторна зала с компютърни системи с инсталирана развойна среда, развойни платки с програмируеми устройства, прожектор, фирмена литература.  |  |  |                  |
| <b>Съдържание на курса:</b> Обучението включва изучаване на структурата и особеностите на програмируемите логически устройства, етапите и методите за проектиране на цифрови системи и необходимите за тази цел средства. Набляга се на йерархичното проектиране базирано на модули и проектирането на цифрови системи, базирано на крайни автомати. Изучават се методите за верифициране на проектите, посредством симулация и създаване на тестови установки.  |  |  |                  |
| <b>Препоръчителна литература:</b><br><ol style="list-style-type: none"> <li>1. Маноилов П., Проектиране на цифрови устройства върху свръхголеми интегрални схеми с помощта на VHDL, С., 2006.</li> <li>2. Начева-Филипова Кр., Христов М., Използване на VHDL за синтез на електронен хардуер, С., 2004.</li> <li>3. Таков Т., С. Цанова, Свръхголеми интегрални схеми, С., 2006.</li> <li>4. Ashenden P., The Designer’s Guide to VHDL 3rd ed, Burlington, 2008.</li> <li>5. Chu P., FPGA Prototyping by VHDL Examples, Hoboken, 2008.</li> </ol> |  |  |                  |
| <b>Методи на преподаване:</b> Лекции, лабораторни упражнения, протоколи, решаване на индивидуални задачи, електронни фирмени каталози, програмни среди за проектиране.   |  |  |                  |
| <b>Методи на оценяване:</b> Семестриалният изпит е писмен. По време на изпита студентите попълват тест и решават задачи. Тестът включва въпроси от материалите разглеждани на лекции и лабораторни упражнения. Задачите се оценяват също по точки с предварително уточнен регламент. Регламентиран е броят точки за всяка оценка по шестобалната система. Окончателната оценка се формира на база оценките от теста, задачите и текущия контрол.   |  |  |                  |
| <b>Кредити по видове дейност:</b><br>Аудиторна заетост: <b>(30л /30лу, общо 60 часа): 2,2 кредита</b><br>Извънаудиторна заетост: <b>(74 часа): 2,8 кредита:</b> Самоподготовка за лабораторни упражнения - <b>0,6 кредита;</b> подготовка за изпит - <b>1,5 кредита;</b> работа по индивидуално задание - <b>0,7 кредита.</b>  |  |  |                  |
| <b>Език, на който се преподава:</b> Български  |  |  |                  |

Характеристиката е приета от КС на катедра „КСТ” с Протокол № 1 от 17.09.2010 г.

Ръководител катедра:

/доц. д-р Р. Райчев/

**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – ГАБРОВО  
ФАКУЛТЕТ „ЕЛЕКТРОТЕХНИКА И ЕЛЕКТРОНИКА”**

Приета с решение на ФС  
Протокол № 6 от 28.09.2010 г.

Утвърдил  
Декан:  
/доц. д-р А. Александров/

**ХАРАКТЕРИСТИКА  
НА ДИСЦИПЛИНАТА „ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ  
С ПРОГРАМИРУЕМА ЛОГИКА”  
„ЗА СПЕЦИАЛНОСТ „КОМПЮТЪРНИ СИСТЕМИ И ТЕХНОЛОГИИ”  
ЗАДОЧНО ОБУЧЕНИЕ**

Обучаваща катедра: Компютърни системи и технологии

|  |  |  |                  |
|--|--|--|------------------|
| Образователно-квалиф. степен:<br><b>Бакалавър</b>  | Вид на дисциплината:<br><b>Избираема</b> | № по учебен план<br><b>41.2</b>                                    | Година: <b>4</b> |
| Семестър: <b>8</b>   | Брой кредити: <b>5</b>                   | Водещ преподавател:<br><b>доц. д-р Валентина Стоянова Кукенска</b> |                  |
| <b>Цел на курса:</b> Запознаване на студентите с технологията, методите и средствата за проектиране на цифрови схеми и системи, посредством програмируеми логически устройства.  |  |  |                  |
| <b>Необходими условия:</b> Лекционна зала, лабораторна зала с компютърни системи с инсталирана развойна среда, развойни платки с програмируеми устройства, прожектор, фирмена литература.  |  |  |                  |
| <b>Съдържание на курса:</b> Обучението включва изучаване на структурата и особенностите на програмируемите логически устройства, етапите и методите за проектиране на цифрови системи и необходимите за тази цел средства. Набляга се на йерархичното проектиране базирано на модули и проектирането на цифрови системи, базирано на крайни автомати. Изучават се методите за верифициране на проектите, посредством симулация и създаване на тестови установки.   |  |  |                  |
| <b>Препоръчителна литература:</b><br><ol style="list-style-type: none"> <li>1. Маноилов П., Проектиране на цифрови устройства върху свръхголеми интегрални схеми с помощта на VHDL, С., 2006.</li> <li>2. Начева-Филипова Кр., Христов М., Използване на VHDL за синтез на електронен хардуер, С., 2004.</li> <li>3. Таков Т., С. Цанова, Свръхголеми интегрални схеми, С., 2006.</li> <li>4. Ashenden P., The Designer’s Guide to VHDL 3rd ed, Burlington, 2008.</li> <li>5. Chu P., FPGA Prototyping by VHDL Examples, Hoboken, 2008.</li> </ol> |  |  |                  |
| <b>Методи на преподаване:</b> Лекции, лабораторни упражнения, протоколи, решаване на индивидуални задачи, електронни фирмени каталози, програмни среди за проектиране.   |  |  |                  |
| <b>Методи на оценяване:</b> Семестриалният изпит е писмен. По време на изпита студентите попълват тест и решават задачи. Тестът включва въпроси от материалите разглеждани на лекции и лабораторни упражнения. Задачите се оценяват също по точки с предварително уточнен регламент. Регламентиран е броят точки за всяка оценка по шестобалната система. Окончателната оценка се формира на база оценките от теста, задачите и текущия контрол.   |  |  |                  |
| <b>Кредити по видове дейност:</b><br>Аудиторна заетост: (15л /15лу, общо 30 часа): <b>1,1 кредита</b><br>Извънаудиторна заетост: (104 часа): <b>3,9 кредита</b> : Самоподготовка за лабораторни упражнения - <b>0,7 кредита</b> ; подготовка за изпит - <b>1,5 кредита</b> ; работа по индивидуално задание - <b>0,9 кредита</b> ; работа в Интернет - <b>0,3 кредита</b> ; консултации с преподавателя - <b>0,5 кредита</b> .   |  |  |                  |
| <b>Език, на който се преподава:</b> Български  |  |  |                  |

Характеристиката е приета от КС на катедра „КСТ” с Протокол № 1 от 17.09.2010 г.

Ръководител катедра:

/доц. д-р Р. Райчев/

**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – ГАБРОВО  
ФАКУЛТЕТ „ЕЛЕКТРОТЕХНИКА И ЕЛЕКТРОНИКА”**

**К О Н С П Е К Т**

**ПО ДИСЦИПЛИНАТА**

**„ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ С ПРОГРАМИРУЕМА ЛОГИКА”  
ЗА СПЕЦИАЛНОСТ „КОМПЮТЪРНИ СИСТЕМИ И ТЕХНОЛОГИИ”  
ЗА ОКС „БАКАЛАВЪР”**

**МОДУЛ 1: ВЪВЕДЕНИЕ В ПРОЕКТИРАНЕТО НА ЦИФРОВИ СИСТЕМИ**

- 1.1 Технологии, методи и средства за реализация на цифрови системи.
- 1.2 Нива на представяне на цифровите системи.
- 1.3 Етапи при проектиране на цифрови системи.

**МОДУЛ 2: ПРОГРАМИРУЕМИ ЛОГИЧЕСКИ УСТРОЙСТВА**

- 2.1 Програмируеми логически устройства. Видове.
- 2.2 Архитектура на съвременните програмируеми логически устройства.
- 2.3 Методика за проектиране с програмируеми логически устройства.

**МОДУЛ 3: ПРОЕКТИРАНЕ НА ЦИФРОВИ СИСТЕМИ, ПОСРЕДСТВОМ VHDL**

- 3.1 Език за хардуерно описание VHDL.
- 3.2 Проектиране на типови комбинационни схеми, посредством VHDL.
- 3.3 Проектиране на типови последователностни схеми, посредством VHDL.
- 3.4 Проектиране на различни видове памети, посредством VHDL.
- 3.5 Йерархично проектиране на цифрови системи, посредством VHDL.
- 3.6 Проектиране на крайни автомати, посредством VHDL.
- 3.7 Проектиране на цифрови системи базирани на крайни автомати.

**ЛИТЕРАТУРА**

1. Амстронг Д., Моделирование цифровых систем на языке VHDL, М., 1992.
2. Гиздарски Е. Проектиране с програмируема логика, Русе , 1998.
3. Маноилов П., Проектиране на цифрови устройства върху свръхголеми интегрални схеми с помощта на VHDL, С., 2006.
4. Начева-Филипова Кр., Христов М., Използване на VHDL за синтез на електронен хардуер, С., 2004.
5. Таков Т., С. Цанова, Свръхголеми интегрални схеми, С., 2006.
6. Христов М., Р. Радонов, Б. Дончев, Системи за проектиране в микроелектрониката, С., 2004.
7. Ashenden P., The Designer’s Guide to VHDL 3rd ed, Burlington, 2008.
8. Chu P., FPGA Prototyping by VHDL Examples, Hoboken, 2008.
9. Wayne W., Computers as Components: Principles of Embedded Computing Systems Design 2nd ed, Burlington, 2008.
7. Ashenden P., Digital Design: An Embedded System Approach using VHDL, Burlington, 2008.
8. Chu P., RTL Hardware Design using VHDL: Coding for Efficiency, Portability and Scalability, Cleveland, 2006.
9. Hwang E., Digital Logic and Microprocessor Design with VHDL, Riverside, 2006.
10. Zainalabedin Nawabi, VHDL: Analisis and Modeling of Digital Systems, McGraw-Hill, 1993.

Съставили:

/доц. д-р инж. В. Кукенска /

/ас. инж. П.Минев/